

0.35 μm CMOS 多晶硅栅刻蚀工艺研究

公衍刚, 梁永杰, 刘存生, 孙有民

(西安微电子技术研究所, 陕西 西安 710054)

摘 要: 本文主要研究 0.35 μm CMOS 多晶硅栅刻蚀工艺中“硅 LOSS”及“T 腰”问题的形成机理. 在不改变产品工艺流程的前提下, 对多晶硅栅刻蚀工艺进行优化, 提出“两步 ME 法”优化了刻蚀形貌, 改善了硅 LOSS、T 腰的问题. 满足 0.35 μm CMOS 多晶形貌及工艺要求, 具有一定的理论指导和实际意义.

关键词: 多晶刻蚀; 0.35 μm CMOS; 硅 LOSS; T 腰; ME

中图分类号: TN405.98

文献标识码: A

文章编号: 1000-7180(2013)04-00156-04

Study of Poly-silicon Gate Etching Process Based on 0.35 μm CMOS

GONG Yan-gang, LIANG Yong-jie, LIU Cun-sheng, SUN You-min

(Xi'an Microelectronics Institute, Xi'an 710054, China)

Abstract: Poly-silicon gate etching process based on the 0.35 μm CMOS was studied in detail, and the formation mechanism of silicon loss and profile T on the sidewall was investigated in this paper. Moreover, the paper optimized the etch process and finally found the “two procedures of Main Etch” method to solve the problems of silicon loss and profile T, by not changing other process conditions of CMOS. The result is accorded with the 0.35 μm CMOS process specification very well. The paper has the theoretical direction and practical value.

Key words: Poly-silicon etch; 0.35 μm CMOS; Silicon LOSS; profile T; Main Etch

1 引言

随着 IC 的集成度不断提高, 加工线宽越来越小, 稳定良好的器件性能对刻蚀工艺——特别是对多晶硅栅的刻蚀, 提出了巨大的挑战. 多晶硅线宽决定了 MOS 的栅尺寸大小, 刻蚀形貌的完整性也会影响器件的电学性能. 如多晶硅栅的 CDU (Critical Dimension Uniformity) 对器件的驱动电流 I_{DSAT} 有较大的影响, LWR (Line Width Roughness) 会引起阈值电压 V_T 的漂移变化^[1].

在 0.35 μm CMOS 实际工艺流程中, 多晶硅栅工艺后会出现硅 LOSS 和 T 腰问题, 如图 1 所示. 箭头所指向为“T 腰”, 椭圆内显示为“硅 LOSS”. 从图中可以看出, 刻蚀后硅 LOSS 量达到 200Å 左右, T 腰也使多晶侧壁形貌较差, 这都将严重影响器件的性能.

本文对硅 LOSS 和 T 腰问题的产生进行理论

分析及实验验证, 在不影响产品生产流程以及器件性能的条件下, 通过对干法等离子体刻蚀多晶硅的工艺进行优化, 解决工艺中出现的 T 腰现象及硅 LOSS 问题, 使多晶形貌满足 0.35 μm CMOS 产品的工艺需要.

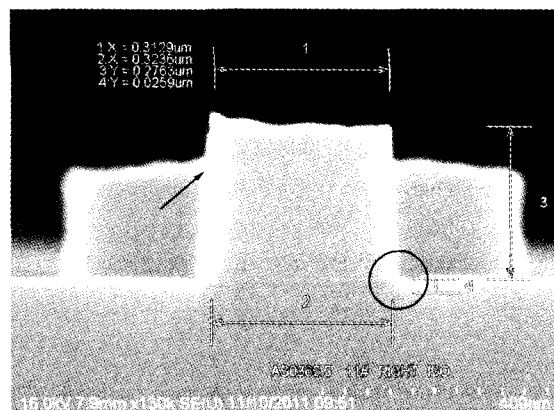


图 1 多晶刻蚀中硅 LOSS 及 T 腰现象

2 硅 LOSS 及 T 腰形成机理分析

在 0.35 μm CMOS 产品中,多晶硅栅工艺分为多晶淀积、多晶掺杂和多晶刻蚀。多晶膜质与掺杂都会对多晶刻蚀工艺有较大影响,而硅 LOSS 及 T 腰问题较为常见^[3]。本部分主要对硅 LOSS 及 T 腰的形成机理进行分析及实验验证。

实验采用 Applied Materials 公司的 C5200 DPS 等离子体刻蚀设备,该刻蚀机台满足 0.35 μm 多晶刻蚀工艺需要。刻蚀中需要观察的参数主要有:刻蚀速率、刻蚀剖面、刻蚀偏差、选择比及均匀性等。多晶采用干法等离子体刻蚀,与湿法刻蚀相比,主要有以下优点:刻蚀剖面各向异性保证侧壁形貌、好的 CD 控制保证器件电学性能、好的均匀性以保证良率等。其通常是一个三步工艺过程^[3],这使得在不同的刻蚀步骤中能对各向异性刻蚀和选择比进行优化。这三个步骤是:

(1)预刻蚀(Breakthrough):用于去除自然氧化层、掩蔽层和表面的污染物来获得均匀的刻蚀,减少了刻蚀中作为掩蔽层的污染物带来的表面缺陷,一般采用 CF_4 气体。

(2)主刻蚀(Main Etch):用来刻蚀掉大部分多晶硅膜,且并不损伤栅氧化层和获得理想的各向异性的侧壁剖面。主刻蚀采用终点控制^[3],可以较精确控制刻蚀时间,屏蔽因为刻蚀速率的差异造成的时间误差。

(3)过刻蚀(Over Etch):减少 Cl_2 ,增加压力,加 O_2 或 He-O_2 ,增加对栅氧化层的选择比,以去除刻蚀残留物和剩余多晶硅。

其主要反应机理如式(1),刻蚀过程中参与气体及其作用如表 1 所示。



表 1 多晶刻蚀主要气体

气体种类	刻蚀过程中的主要作用
HBR	在多晶的主刻蚀中,形成一层聚合物对侧壁进行钝化,保证刻蚀均匀进行
Cl_2	刻蚀主气体,产生挥发性刻蚀生成物 SiCl_4
He-O_2	在侧壁形成钝化层,增大对 oxide 的选择比

2.1 硅 LOSS 形成机理及实验验证

CMOS 工艺中,多晶一般采用 LPCVD 生长方

式,且膜质均匀性一般控制在 3% 左右。在多晶刻蚀中主刻(ME)步一般采用终点控制,如果多晶厚度和刻蚀速率不均匀,在保证大部分多晶硅能被刻蚀干净的情况下,膜厚偏薄或者刻蚀速率较快的地方导致 oxide 层过刻蚀,而 OE 步用时间控制,进一步导致有源区硅层的过刻蚀,即出现硅 LOSS 问题。

通过提高多晶对 oxide 的选择比^[2],避免刻蚀掉 oxide 层,从而防止硅层过度刻蚀损失,可以解决硅 LOSS 这一问题。表 2 给出了影响刻蚀工艺的主要参数:Pressure、 Cl_2/HBr ratio、 $\text{He-O}_2\%$ 、Power (source)以及 Power(bias)等。运用 DOE 方法对表 2 中个参数进行实验分析可以得出,通过增大 pressure、减小 Cl_2/HBr ratio、降低 Power 的方式可以提高多晶对 oxide 的选择比,而且选择比对 pressure 的依赖程度最大。另外,实验得到如图 2 所示的刻蚀参数对 T 腰 CD bias 的影响趋势。从图中可以看出,当提高选择比后,T 腰 CD 减小,与多晶顶部 CD bias 增大,即 T 腰腰部与顶部比值减小,说明 T 腰趋势更加明显。图 3 是提高多晶对 oxide 的选择比后多晶栅刻蚀的 SEM 形貌图,与图 1 相比较,可以明显看出,硅 LOSS 问题已经完全消除,但同时 T 腰问题较之前严重,其侧壁角度也达到工艺窗口边缘 85°。

表 2 影响多晶刻蚀工艺的主要参数

Parameter	Poly/PR selectivity	Poly /OX selectivity	Profile angle
Pressure $\uparrow$	$\uparrow$	$\uparrow$	$\downarrow$
$\text{Cl}_2/\text{HBr} \uparrow$	$\downarrow$	$\downarrow$	$\downarrow$
$\text{He-O}_2\% \uparrow$	$\downarrow$	$\uparrow$	$\uparrow$
Power(S) $\uparrow$	$\downarrow$	$\downarrow$	$\downarrow$
Power(B) $\uparrow$	$\downarrow$	$\downarrow$	$\downarrow$

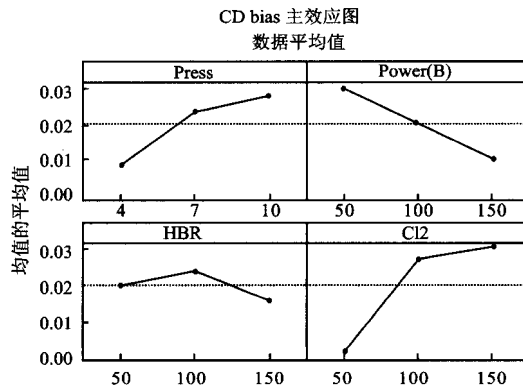


图 2 刻蚀参数对 T 腰 CD bias 的影响

2.2 T 腰形成机理及实验验证

CMOS 工艺中,为方便调整多晶方阻,一般通

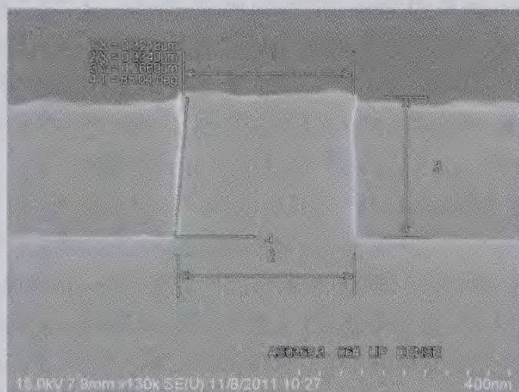


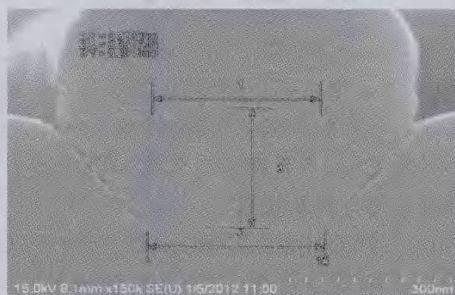
图3 提高选择比后多晶刻蚀 SEM 图

过离子注入的方式对未掺杂多晶进行掺杂,剂量的多少决定多晶的掺杂浓度,能量的大小决定注入的深度,所以,为防止离子注入对栅氧层造成影响,多晶掺杂一般采用低能浅结注入,再利用后续高温退火工艺来修复硅晶格结构损伤以及激活杂质改善注入深度。离子注入过程会将原子撞出晶格结构而损伤硅片晶格,且被注入离子基本不占据硅的晶格点,而是停留在晶格的间隙位置。这样,在多晶硅注入后若不进行退火修复,当对多晶进行等离子体刻蚀时,会造成多晶注入损伤区域横向刻蚀及二次损伤,特别是注入结深处各向异性度更差,因而形成 T 腰。

在不同条件的多晶刻蚀实验过程中也发现, T 腰出现的位置基本上是固定的,且和多晶离子注入的深度相对应。本文为了验证 T 腰的出现是否与多晶离子注入有关,分别对未注入、注入未退火及注入并高温退火多晶刻蚀工艺后,进行 SEM 形貌分析,结果如图 4(a)~(c)所示。通过比较可以看出, (a) 没有对多晶进行注入,刻蚀后也没有出现 T 腰; (b) 对多晶注入且不进行退火工序,刻蚀后 T 腰明显; (c) 对多晶注入后高温退火,刻蚀后 T 腰问题可基本消除,且侧壁角度几乎 90° 。

由于未注入多晶不会产生离子损伤,刻蚀各向异性较好,故没有 T 腰;注入的多晶因为有离子损伤,在损伤区域各向异性度较差而导致横向刻蚀,出现明显的 T 腰现象;而退火对离子损伤有修复作用,因此退火后刻蚀基本上没有 T 腰。由此可见,多晶硅注入损伤是引起刻蚀中形成 T 腰的主要原因。但是在 CMOS 产品工艺中,高温退火工艺对栅氧层影响较大,产生的氧化层电荷及陷阱电荷,破坏栅氧化层的完整性,影响器件的阈值电压及栅氧击穿电压等,因此在产品工艺过程中不能通过高温退火工

艺来解决 T 腰的问题。



(a) 未注入多晶刻蚀 SEM 图



(b) 注入未退火多晶刻蚀 SEM 图



(c) 注入并退火多晶刻蚀 SEM 图

图4 T 腰形成机理验证实验的 SEM 形貌分析

3 两步 ME 法

通过以上分析可以看出,提高的多晶对 oxide 选择比能够消除硅 LOSS 问题,但会使 T 腰问题显著。也就是说,硅 LOSS 与 T 腰需要折中调整刻蚀菜单参数,才能保证多晶刻蚀满足工艺要求。文献 [1]、[2] 中介绍了一些传统方法来解决这两个问题,比如改善多晶膜质、减小 BT 时间、增大 pressure 以提高选择比等。本文在对多晶刻蚀工艺研究中发现,仅仅在原三步刻蚀基础上调整工艺参数,很难满足多晶刻蚀要求,特别是提高选择比后的 T 腰问题。因此,在不影响产品性能,不能对注入多晶予以退火工艺的限制下,为了同时改善硅 LOSS 和 T 腰问题,本文提出了“两步 ME 法”刻蚀多晶。

毋庸置疑,提高选择比可以很大程度改善硅 LOSS 问题,相反则可以保证较好的侧壁形貌,抑制

T 腰的形成. 基于此, 两步 ME 法的基本思想, 就是将主刻蚀 ME 步分为 ME1、ME2 两步, ME1 步采用低选择比参数抑制 T 腰的形成; ME2 参考 OE 步调整参数提高选择比, 防止硅 LOSS. 这样, 将原三步刻蚀改为四步, 而两步 ME 各有分工, 互不矛盾, 解决硅 LOSS 及 T 腰问题.

根据 T 腰的位置判断其主要的在多晶刻蚀初期产生, 因此 ME1 步由原来 ME 步的终点检测改为时间控制, 在不提高多晶对 oxide 选择比的条件下, 根据 ME1 步多晶刻蚀速率及多晶膜厚估算 ME1 步时间, 从而保证 ME1 步首先刻蚀掉大部分的多晶 (一般控制在 80% 左右). 这样, ME1 步采用低的选择比刻蚀参数可以抑制 T 腰的形成, 保证良好的多晶侧壁形貌. 之后再继续进行 ME2, 增大 pressure、减小 Cl_2/HBr ratio、降低 Power, 用高的多晶对 oxide 选择比刻蚀剩余的多晶, 并采用光学终点检测系统自动控制工艺时间, 保证侧壁及栅氧层的完整性, 从而防止了硅 LOSS 的形成. 另外, ME1 步刻蚀多晶的多少会直接影响后续 ME2 步终点检测时间的长短, 但因为 ME1 步主要目的是在保证侧壁形貌的同时, 预留少部分多晶以防止硅 LOSS, 因此该步刻蚀多晶量可根据工艺要求调整时间, 一般控制在 75%~85% 均可.

实验中, 根据图 2 调整 ME1 步参数 pressure 为 4mt、power(B) 为 150W、HBr 与 Cl_2 为 20sccm, 根据多晶刻蚀速率及膜厚估算 ME1 步时间为 35s. ME2 步采用 OE 步参数, 增大 pressure 为 40mt, 以此提高多晶对 oxide 的选择比, 通过测试多晶与 oxide 的刻蚀速率计算得到, 与 ME1 相比, 选择比从 15 提高到 500. ME2 步采用终点检测系统自动控制工艺时间直到剩余多晶完全刻蚀, 至此主刻蚀 (ME) 过程结束, 之后进行过刻蚀 (OE) 完成多晶刻蚀工艺.

图 5 即为采用两步 ME 法多晶刻蚀的 SEM 形貌图, 从图中可以看出, 两步 ME 法消除了硅 LOSS, 同时避免了 T 腰形成, 侧壁角度达到 87.61° 满足大于 85° 的要求. 另外, 利用该法对不同批次进行实验并切片观察 SEM 形貌发现, 多晶刻蚀形貌良好, 证明该法是可行的、实用的. 因此, 两步 ME 法可以很好的改善多晶侧壁形貌及保证栅氧化层完整性, 满足 0.35 μm CMOS 工艺要求.

4 结束语

本文对多晶硅刻蚀工艺后出现的硅 LOSS 及 T

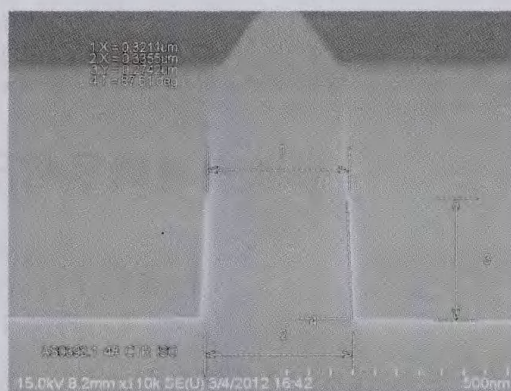


图5 “两步 ME 法”多晶刻蚀 SEM 图

腰问题的形成机理进行了研究和实验验证, 发现硅 LOSS 主要是由于多晶硅淀积厚度和刻蚀速率的不均匀及多晶对 oxide 选择比过低所导致, T 腰则是由于多晶注入离子损伤引起的. 当提高选择比消除硅 LOSS 时会使 T 腰更加严重. 在此基础上, 提出两步 ME 法很好地改善了硅 LOSS 及 T 腰的问题. 与 традиция方法相比, 该法简单可控, 实用性较强, 只需适当调整主刻 ME 中参数, 而不用改变产品工艺流程.

参考文献:

- [1] Yi Huang, Shan-Shan Du, Hai-Yang Zhang, et al. 65nm poly gate etch challenges and solutions[C]// proceedings of the 9th International conference on Solid-State and Integrated-Circuit Technology, shanghai: IEEE, 2008; 1066-1169.
- [2] Jeng-Shiuan Shih, Wen-Ming Wang, Shing-Long Lee. Characterize poly etching process to poly-silicon film deposition on OD[J]. IEEE, 2002, 8(12): 246-248.
- [3] Michael Quirk & Julian Serda, 著, 韩郑生, 译, 半导体制造技术[M]. 北京: 电子工业出版社.
- [4] Hongya Ren, Ren liang Shan, Jianzhang Wu, et al. Endpoint detection of very deep sub-micro (VDSM) poly etching process based[J]. IEEE, 2008, 8(08): 316-320.

作者简介:

公衍刚 男, (1986—), 硕士研究生, 研究方向为 SOI CMOS 器件与工艺技术.

梁永杰 男, (1982—), 工艺工程师, 研究方向为刻蚀工艺研发.

刘存生 男, (1975—), 高级工程师, 研究方向为 SOI 工艺技术.

孙有民 男, (1963—), 研究员, 硕士生导师, 研究方向为 VLSI 工艺技术.